

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-140319

(43)Date of publication of application : 14.05.2003

(51)Int.Cl.

G03F 1/00
H01L 21/027
H01L 21/3205
H01L 21/82

(21)Application number : 2002-097163

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 29.03.2002

(72)Inventor : MORITA TAKESHI

(30)Priority

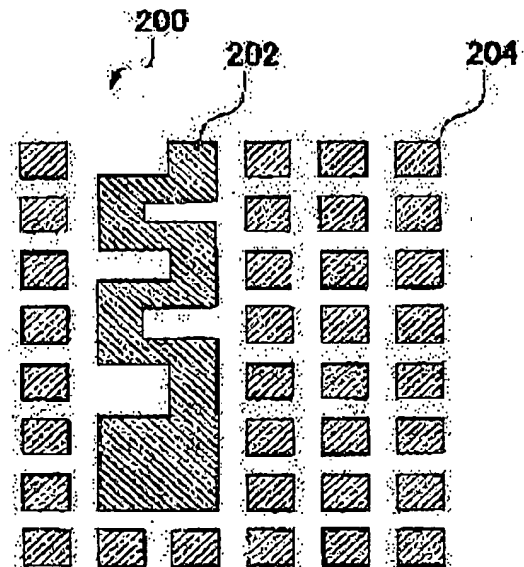
Priority number : 2001250759 Priority date : 21.08.2001 Priority country : JP

(54) SEMICONDUCTOR DEVICE MANUFACTURING MASK SUBSTRATE AND SEMICONDUCTOR DEVICE MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device manufacturing method and a semiconductor device manufacturing mask for simply and easily manufacturing a highly reliable semiconductor device by suppressing a global step of semiconductor device.

SOLUTION: In the area of a semiconductor device manufacturing mask 200 except for a real pattern 202, a square dummy pattern 204, for example, having one side of 0.25 μm or less is inserted and the pattern density is made uniform, and an etching processing can be performed without changing conditions for every semiconductor device manufacturing mask and the global step of a post-CMP interlayer insulation film is not increased.



LEGAL STATUS

[Date of request for examination]

02.07.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3556647

BEST AVAILABLE COPY

Searching PAJ

2/2 ページ

[Date of registration] 21.05.2004

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-140319

(P2003-140319A)

(43) 公開日 平成15年5月14日 (2003.5.14)

(51) Int.Cl. ⁷	識別記号	F I	ターミナル* (参考)	
G 0 3 F	1/08	C 0 3 F	1/08	D 2 H 0 9 6
H 0 1 L	21/027	H 0 1 L	21/30	S 0 2 P 5 F 0 3 3
	21/3205		21/88	S 5 F 0 6 4
	21/82		21/82	W

審査請求 有 請求項の数 9 O L (全 7 頁)

(21) 出願番号 特願2002-97163 (P2002-97163)
 (22) 出願日 平成14年3月29日 (2002.3.29)
 (31) 優先権主張番号 特願2001-250759 (P2001-250759)
 (32) 優先日 平成13年8月21日 (2001.8.21)
 (33) 優先権主張国 日本 (J P)

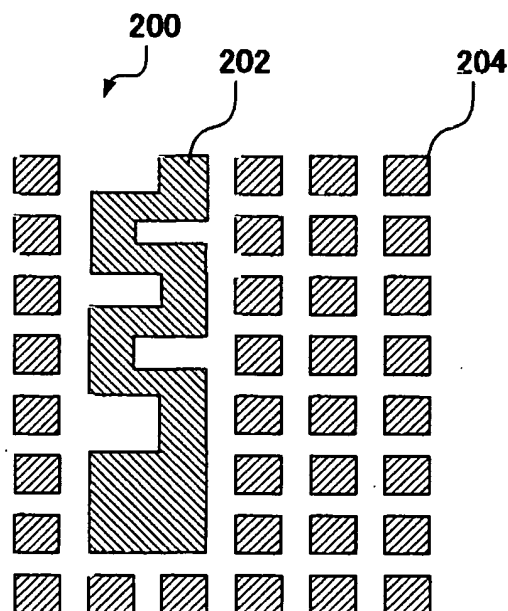
(71) 出願人 000000295
 沖電気工業株式会社
 東京都港区虎ノ門1丁目7番12号
 (72) 発明者 森田 毅
 東京都港区虎ノ門1丁目7番12号 沖電気
 工業株式会社内
 (74) 代理人 100096957
 弁理士 亀谷 美明 (外2名)
 Fターム (参考) 2H095 BA01 BB02
 5F033 QQ48 RR04 SS15 VV01 VV02
 VV06 WW01 XX01
 5F064 EE14 EE15 EE51 GG03 GG10

(54) 【発明の名称】 半導体素子製造用マスク基板、及び、半導体素子の製造方法

(57) 【要約】

【課題】 半導体素子のグローバル段差を抑制し、信頼性の高い半導体素子を簡便に製造する半導体素子の製造方法および半導体素子製造用マスクを提供する。

【解決手段】 半導体製造用マスク200内の実パターン202以外の領域に、例えば一辺が0.25μm以下の正方形のダミーパターン204を挿入し、パターン密度を均一化して、半導体製造用マスク毎に条件を変えことなくエッチング処理を行えとともに、CMP後の層間絶縁膜のグローバル段差を増大させないようにする。



(2) 003-140319 (P2003-140319A)

【特許請求の範囲】

【請求項1】 複数のゲートマスクパターンが形成され、パターン密度が大きい領域と小さい領域を有する半導体製造用マスク基板において、前記パターン密度の小さい領域に対応する前記半導体製造用マスク基板上に形成される複数の疑似パターンであって、各疑似パターンはゲート配線パターンの線幅以下の寸法を有する所定形状から構成されることを特徴とする、半導体製造用マスク基板。

【請求項2】 前記疑似パターンは、一辺が $0.25\mu\text{m}$ 以下の正方形であることを特徴とする、請求項1に記載の半導体製造用マスク基板。

【請求項3】 前記疑似パターンは、短辺が $0.25\mu\text{m}$ 以下の長方形であることを特徴とする、請求項1に記載の半導体製造用マスク基板。

【請求項4】 前記疑似パターンは、格子状に配置されることを特徴とする、請求項1、2または3のいずれかに記載の半導体製造用マスク基板。

【請求項5】 複数のゲートマスクパターンが形成され、パターン密度の大きい領域と小さい領域を有する半導体製造用マスク基板であって、この半導体製造用マスク基板は前記パターン密度の小さい領域に対応して複数の疑似パターンが形成され、各疑似パターンはゲート配線パターンの線幅以下の寸法を有する所定形状から構成される前記半導体製造用マスク基板を準備する工程と、前記半導体製造用マスク基板を用いて半導体基板上に形成された配線パターン上に層間絶縁膜を形成する工程と、前記層間絶縁膜をCMPにより平坦化する工程とを有することを特徴とする、半導体装置の製造方法。

【請求項6】 前記疑似パターンは、一辺が $0.25\mu\text{m}$ 以下の正方形であることを特徴とする、請求項5に記載の半導体装置の製造方法。

【請求項7】 前記疑似パターンは、短辺が $0.25\mu\text{m}$ 以下の長方形であることを特徴とする、請求項5に記載の半導体装置の製造方法。

【請求項8】 前記疑似パターンは、格子状に配置されることを特徴とする、請求項5、6または7のいずれかに記載の半導体装置の製造方法。

【請求項9】 前記層間絶縁膜は高密度プラズマCVD法により形成されることを特徴とする、請求項5、6、7または8のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体素子製造用マスク基板、及び、半導体素子の製造方法にかかり、特に、半導体素子の配線パターン密度の相違によって生ずる、層間絶縁膜研磨処理後の残膜厚差が少ない半導体素子を簡便に製造するための半導体素子製造用マスク基板、及び、半導体素子の製造方法に関する。

【0002】

【従来の技術】近年、半導体素子の高集積化にともない、内部配線の高密度化、多層化が進んでいる。半導体素子の高密度化のため、フォトリソグラフィーに用いられる露光用の光は短波長化が進んでおり、それによる焦点深度の不足と相俟って、半導体素子製造用マスク基板（以下、単にマスクという。）毎のパターン密度の差が大きい場合には、マスクを用いた配線作成時のエッチングが不完全になったり、用いるマスクによってエッチング条件を変えなければならないという問題が生ずる。このため、マスク毎のパターン密度に差がある場合には、実際のパターン以外に擬似パターン（ダミーパターンとも称される。）を挿入して、エッチング条件を揃えるようにする方法が用いられている。なお、本明細書中、パターン密度とは、マスク内において、パターンが配置される面積が、マスク全体の面積に占める割合をいう。

【0003】擬似パターンは、マスクのパターン形状によって、その挿入の仕方に様々な手法が採用されている。マスクのパターン形状の一例として、細いゲート配線を形成するためのパターンが偏りなく配置されるデバイス部と、容量測定用の大パターン（例えば一辺が $100\mu\text{m}$ 程度の正方形）が挿入されるなど、パターンの配置に偏りがあり、パターンが配置されていない領域が存在するTEG（Test Elemental Group）部とからなるものがある。このようなマスクの場合、擬似パターンは、TEG部のパターンが配置されていない領域に挿入される。

【0004】

【発明が解決しようとする課題】ところで、マスクを用いた配線作成後、その上層には、高密度プラズマCVD（High Density Plasma-Chemical Vapor Deposition：以下HDP-CVDという）酸化膜等、層間絶縁膜が形成される。この層間絶縁膜は、下地となる配線の形状により堆積膜厚が異なる。例えば、下地の細い配線パターンの凹凸に依存して、層間絶縁膜表面に局所的な凹凸が生じたり、デバイス部のように細い配線パターンが広範囲に偏りなく入っている場合はマイナスサイジングがかかって堆積量が減り、TEG部のように大パターンが存在する領域では厚く堆積される特徴を持っている。このため、このような層間絶縁膜の表面の凹凸および段差を低減するため化学的機械的研磨（Chemical Mechanical Polishing：以下CMPという）により、平坦化処理が行われる。

【0005】上述のCMPによる層間絶縁膜の平坦化は、細い配線が偏りなく配置されたデバイス部などに対しては、層間絶縁膜の局所的な凹凸を低減するので有効であるが、大パターンが配置されたTEG部などについては、研磨速度が遅く、デバイス部など膜厚が小さい部分との差（残膜厚差）を縮めるためにはあまり有効でない。

(3) 003-140319 (P2003-140319A)

【0006】このCMP後の残膜厚差（以下、グローバル段差と称する。）があると、さらに上層に材料膜を形成したときに、層間のショートや配線間のショートまたはオープン等の不良が発生しやすくなり、歩留まりや信頼性低下の原因となるため、グローバル段差を低減することが要請されているが、TEG部に擬似パターンを挿入することによって、デバイス部とTEG部との間に配線パターンの一層の不均一が生じ、グローバル段差が増大するという問題点があった。

【0007】以上のような観点から、本発明の目的は、半導体素子製造用マスク基板上に擬似パターンを挿入する際、CMP後の残膜厚を上昇させないような形状で、かつ、マスク毎のエッチング条件を変更する必要がないように、マスク間でのパターン密度均一化して、性能、耐久性ともに信頼性に優れた半導体素子が効率よく製造することの可能な、新規かつ改良された半導体素子製造用マスク基板、及び、半導体素子の製造方法を提供することである。

【0008】

【課題を解決するための手段】本発明によれば、複数のゲートマスクパターンが形成され、パターン密度が大きい領域と小さい領域を有する半導体製造用マスク基板において、パターン密度の小さい領域に対応する半導体製造用マスク基板上に形成される複数の疑似パターンであって、各疑似パターンはゲート配線パターンの線幅以下の寸法を有する所定形状から構成されることを特徴とする、半導体製造用マスク基板が提供される。

【0009】かかる構成によれば、複数のマスク間でパターン密度を揃え、異なるマスクを用いても同一条件でのエッチング工程が可能になる。さらに、疑似パターンを、ゲート配線パターンの線幅以下の寸法を有する所定形状、例えば、一辺が0.25 μ m以下の正方形とすることによって、半導体素子の疑似パターンに対応する領域（TEG部）にマイナスサイジングがかかり、当該領域における層間絶縁膜の堆積量を減らすことができる。このようにして、CMP後の下地パターンの高密度領域における残膜厚上昇を防ぎ、半導体素子内部のグローバル段差の増大を抑制して、信頼性の高い半導体素子を製造することができる。

【0010】また、所定形状を、例えば短辺が0.25 μ m以下の長方形とすることができる。かかる構成によれば、略長方形形状の長辺側の長さを調整することによって、パターン内部に挿入する疑似パターンの図形数を減らし、設計ファイル容量（GDS2データ容量）の増加を抑制することができる。

【0011】さらにまた、疑似パターンを、格子状に配置することによって、格子の間隔を変化させてパターン密度を容易に最適化することができる。このようにして、さらなるエッチング条件の均一化、およびグローバル段差の増大の抑制が可能であり、高集積化された半導

体素子作成時の製造条件のマージンに余裕を持たせて、性能および耐久性において信頼性の高い半導体素子の製造が可能となる。

【0012】また、本発明によれば、複数のゲートマスクパターンが形成され、パターン密度の大きい領域と小さい領域を有する半導体製造用マスク基板であって、この半導体製造用マスク基板はパターン密度の小さい領域に対応して複数の疑似パターンが形成され、各疑似パターンはゲート配線パターンの線幅以下の寸法を有する所定形状から構成される半導体製造用マスク基板を準備する工程と、半導体製造用マスク基板を用いて半導体基板上に形成された配線パターン上に層間絶縁膜を形成する工程と、層間絶縁膜をCMPにより平坦化する工程とを有することを特徴とする、半導体装置の製造方法が提供される。

【0013】層間絶縁膜は、高密度プラズマCVD法により形成することができる。

【0014】

【発明の実施の形態】以下に添付図面を参照しながら、本発明にかかる半導体素子製造用マスク基板、及び、半導体素子の製造方法の好適な実施の形態について詳細に説明する。なお、本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複説明を省略する。

【0015】（第1の実施の形態）図1は、疑似パターンを挿入していない場合の特定の2つの半導体素子製造用マスク基板100およびマスク110を示した平面簡略図である。ここでは、ゲート電極作成用のマスクを一例にして説明する。

【0016】マスク100には実際の配線を形成するためのパターン（以下実パターンという）102がほぼ偏りなく配置されており、マスク内におけるパターンが配置される面積が、マスク全体の面積に占める割合をパターン密度とすれば、マスク100の場合は15.74%である。

【0017】一方、マスク110は、実パターンの配置に偏りがあり、パターン密度を調整するための疑似パターンを挿入するための領域が存在する。このマスク110では、実パターン202のパターン密度は5.52%である。

【0018】このように、疑似パターンを挿入しない場合、マスク毎にパターン密度が異なる。そこで、実パターンが高密度である場合のエッチングが不完全になることを避けるため、配線パターン作成時のエッチング処理における条件をマスク毎に変える必要が生じてしまう。これを避けエッチング条件を揃える方法として、マスク毎のパターン密度の均一化を図るため、実パターンとは異なる疑似パターンを挿入する。

【0019】ここでは、配線パターンの上層に下地パターンの形状によって堆積膜厚が影響を受けるHDP-C

(4) 003-140319 (P2003-140319A)

VDなどによる層間絶縁膜の成膜が行われるので、適切な位置、形状の擬似パターンを挿入することが必要である。

【0020】図2は、擬似パターンの一例を示す平面図である。図2に示すように、実パターン202が配置されていない領域に、略正方形形状のパターンとして擬似パターン204を挿入している。擬似パターン204は、実際のゲート配線パターンである実パターン202の線幅程度の長さを一辺にもつ略正方形形状を離散的に配置したものである。特に、本実施の形態では、略正方形形状を格子状に配置している。

【0021】擬似パターンを、実パターン202の線幅程度の長さを一辺にもつ略正方形形状のパターンとし、隣のパターンとの間隔を一辺の長さ程度空け、格子状に配置すると、層間絶縁膜を堆積させた際には、細いゲート配線パターン上に堆積された膜と同様に、マイナスサイジングがかかって厚く堆積されることはない。また、擬似パターン上の層間絶縁膜は突起状に形成されて、CMPによる平坦化が可能である。

【0022】図3は、本実施の形態にかかるパターン密度を調整した半導体素子製造用マスク基板の一例を示す平面簡略図である。図3に示すように、マスク310は、実パターン312のみの場合は、マスク110と同様パターン密度は約5%であるが、領域314に擬似パターン204のような擬似パターンを挿入することで、パターン密度は15.09%となった。すなわち、マスク100と同等のパターン密度とすることができ、マスク毎のパターン密度均一化が可能となる。

【0023】ここで、CMPによる平坦化処理の効果について説明する。図4は、従来の半導体素子製造用マスク基板の一例を示す平面簡略図、図5は、従来の半導体素子製造用マスク基板400を用いて作成したパターンの上に層間絶縁膜としてHDP-CVD酸化膜を堆積した後CMP処理した際の残膜厚（半導体ウエハ表面から膜表面までの距離をいう）分布を模式的に示す平面図である。

【0024】図4(a)に示すように、半導体素子製造用マスク基板400は、露光時の1ショット内に6つの領域を有している。図4(b)は、それらの領域を模式的に表している。図4(b)に示すように、半導体素子製造用マスク基板400の上記6つの領域は、デバイス部402とTEG(Test Elemental Group)部404とに分類することができる。

【0025】デバイス部402は、配線パターンとして、細いゲート配線が偏りなく配置されたパターンである。TEG部404には、容量測定用の大パターン（例えば一辺が100 μ m程度の正方形）が挿入される等、実パターンの配置に偏りがあり、実パターンが配置されていない領域が多く存在する。

【0026】図5に示すように、CMP処理した後のH

DP-CVD酸化膜の残膜厚分布を見ると、デバイス部402に残膜厚がもっとも薄い領域430が存在し、TEG部404に最も厚い領域420が形成されている。

【0027】上記のように残膜厚に差が生ずる理由を、図6を参照して説明する。図6は、HDP-CVD酸化膜形成時の下地依存性を示す図である。図6(a)は、ゲート配線パターン500の平面図、(b)はゲート配線パターン500上にHDP-CVD酸化膜を堆積した後の(a)のA-Bによる断面図、(c)は、(b)のCMP研磨後の断面図である。

【0028】図6(a)に示すように、ゲート配線パターン500は、例えば幅1 μ m以下の細いゲート配線510、および100 μ m以上の大パターン520を有している。このゲート配線パターン500上にHDP-CVD酸化膜530を堆積させる。

【0029】HDP-CVD酸化膜530は、細いゲート配線パターン510に対しては、マイナスサイジングがかかる特徴があり、図6(b)に示すようにゲート配線パターン510上の表面532は表面536よりも下部に位置することになる。

【0030】また、ゲート配線パターン510上部には、突起534が生ずる。このような突起534や表面536とその周辺の急峻な段差を除去するためCMP処理を行う。

【0031】CMP後の状態を示したのが図6(c)である。このようにCMP処理を行うと、突起534の部分は平面状になる。表面532および536の段差も少なくなるが、大パターン上のHDP-CVD酸化膜は研磨速度が遅く、他の領域との間の段差が完全には解消されないため、表面538および542の残膜厚差Dが残される。この残膜厚差Dをグローバル段差という。

【0032】すなわち、HDP-CVD酸化膜は、デバイス部402のような細い配線が広範囲に入っている場合はマイナスサイジングがかかって堆積量が減る特徴を持っており、突起534のような突起はCMPにより除去されるため、デバイス部402に残膜厚が薄い領域430が形成される。一方、TEG部404は、大パターン520のように大きなパターンが存在することが多いため、CMPの研磨速度が遅く、残膜厚が厚い領域420が形成される。

【0033】そこで、本実施の形態においては、擬似パターンを、層間絶縁膜が厚く堆積されることのない、細いゲート配線の幅程度の一辺の長さを有する略正方形形状のパターンとし、擬似パターンが挿入された領域の残膜厚の上昇を防ぐようにした。

【0034】このように、本実施の形態にかかる半導体素子製造用マスク基板によれば、擬似パターンとして、一辺がゲート配線パターンの線幅程度の略正方形形状のパターンを少なくとも1つ間隔を空けて挿入することにより、異なるマスク間でパターン密度を均一化すること

(5) 003-140319 (P2003-140319A)

ができ、高密度領域のエッチングが不完全になることを防止できるので、実パターンのパターン密度が異なるマスクを用いても、同一条件でエッチング処理することが可能となる。

【0035】また、擬似パターンを、一辺がゲート配線パターンの線幅程度の長さを持つ正方形形状として配置し、さらに、層間絶縁膜を形成した際に擬似パターン上の膜表面が突起状に形成されるように、隣のパターンとの間隔をゲート配線パターンの線幅程度空けることで、擬似パターンを挿入した部分のCMP研磨後の残膜厚上昇を抑制し、グローバル段差の増大を防止できる。

【0036】なお、本実施の形態にかかる擬似パターンを構成する正方形は、HDP-CVD酸化膜が厚く堆積されない、例えば一辺が約 $0.25\mu\text{m}$ 以下の正方形とすることができる。

【0037】(第2の実施の形態)本実施の形態にかかる半導体素子製造用マスク基板においては、第1の実施の形態にかかる正方形の擬似パターンを長方形にする。他の構成においては第1の実施の形態と同様であるので、説明を省略する。

【0038】第1の実施の形態にかかる擬似パターンはサイズが小さいため、同一マスク内に多量に挿入されてしまい、挿入前のマスクの設計データファイルと比較して図計数が多くなり、データ容量の増大が避けられない。このため、実用上扱いが不便であるという問題がある。

【0039】図7は、第2の実施の形態にかかる擬似パターンの一例を示す平面図である。本実施の形態にかかる擬似パターンでは、形状を、短辺長が第1の実施の形態にかかる擬似パターンの一辺の長さ程度(例えば約 $0.25\mu\text{m}$ 以下)の略長方形形状とし、これらを第1の実施形態と同等程度の間隔を空けて配置する。

【0040】長辺長を長くしても良いのは、HDP-CVD酸化膜の堆積膜厚が下地パターンの短辺長にのみ大きく依存し、長辺のサイズに影響されての残膜厚上昇は起きないからである。

【0041】長辺長を第1の実施の形態にかかる擬似パターンよりも長く例えば $0.25\mu\text{m}$ 以上にすることで、擬似パターンの挿入量を減らすことができ、設計データファイルの容量を減らすことが可能となる。これにより、より簡便に信頼性の高い半導体素子が製造できる。なお、長辺長は、すべて同一である必要はない。

【0042】(第3の実施の形態)第1または2の実施の形態にかかる擬似パターンを挿入しても、目標とするパターン密度が得られない半導体素子製造用マスク基板が発生した場合は、上述のようにエッチング条件を変える必要が生ずる。これを避けるため、本実施の形態にかかる擬似パターンは、隣接する擬似パターンとの間隔を操作する。

【0043】図8は、本実施の形態にかかる擬似パター

ン800を示す平面図である。図8に示すように、擬似パターン800は、短辺長 a' 、長辺長 b' のパターン810、短辺側の隣接パターンとの間隔 a および長辺側の隣接パターンとの間隔 b を有するようにする。

【0044】図9は、パターン密度の間隔 a および b 依存性を示した図である。図9に示すように、間隔 a および b を変化させると、擬似パターン部分のパターン密度を変動させることができる。これにより、半導体素子製造用マスク基板において所望のパターン密度の微調整が可能となる。

【0045】すなわち、第1または2の実施の形態にかかる擬似パターンを挿入してもパターン密度が低い場合には、間隔 a または間隔 b を狭め、擬似パターン自体のパターン密度を高め、半導体素子製造用マスク基板全体のパターン密度を上昇させることができる。

【0046】これにより、より的確にパターン密度を調整することができるので、エッチング条件の均一化において製造時のマージンに余裕が生じ、グローバル段差もさらに抑制して、一層信頼性の高い半導体素子を製造することが可能となる。

【0047】以上、添付図面を参照しながら本発明にかかる半導体素子製造用マスク基板、及び、半導体素子の製造方法の好適な実施形態について説明したが、本発明はかかる例に限定されない。当業者であれば、特許請求の範囲に記載された技術的思想の範疇内において各種の変更例または修正例に想到し得ることは明らかであり、それらについても当然に本発明の技術的範囲に属するものと了解される。

【0048】例えば、本発明の実施の形態においては、ゲート電極配線パターン作成用のマスクを例に挙げて説明したが、これに限定されない。配線の多層化、半導体素子の3次元化等を図る際には、メタル配線作成用のマスクにおいても適用が可能である。また、層間絶縁膜は、HDP-CVD酸化膜を例にして説明したが、これに限定されるものではなく、同様の現象が起こるものであれば適用が可能である。

【0049】

【発明の効果】以上説明したように、本発明によれば、半導体素子製造用マスク基板の適切な領域に、適切な形状、配置および数の擬似パターンを挿入し、マスク毎および同一マスク上の領域間のパターン密度を均一化して、同一条件でエッチング処理が可能で、かつ、グローバル段差を抑制して配線間のショートや、層間のショート、及びその後のエッチング処理条件のマスク毎の変動等を防ぐことができる、信頼性が高く作業効率の良い半導体素子を製造することの可能な半導体素子製造用マスク基板が提供される。

【図面の簡単な説明】

【図1】擬似パターンを挿入していない場合の特定の2つの半導体素子製造用マスク基板100およびマスク1

!(6) 003-140319 (P2003-140319A)

10を示した平面簡略図である。

【図2】第1の実施の形態にかかる擬似パターンの一例を示す平面図である。

【図3】第1の実施の形態にかかるパターン密度を調整した半導体素子製造用マスク基板の一例を示す平面簡略図である。

【図4】従来の半導体素子製造用マスク基板の一例を示す平面簡略図である。

【図5】従来の半導体素子製造用マスク基板を用いて作成したパターン上のHDP-CVD酸化膜をCMP処理した後の残膜厚分布を模式的に示す平面図である。

【図6】HDP-CVD酸化膜形成時の下地依存性を示

す図である。

【図7】第2の実施の形態にかかる擬似パターンの一例を示す平面図である。

【図8】第3の実施の形態にかかる擬似パターン800を示す平面図である。

【図9】パターン密度の間隔aおよびb依存性を示した図である。

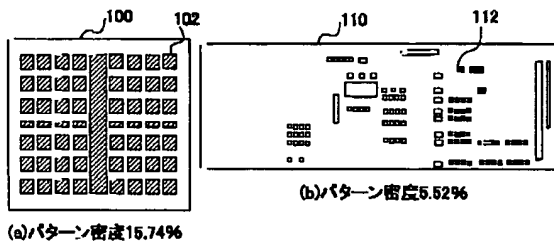
【符号の説明】

200 半導体素子製造用マスク基板

202 実パターン

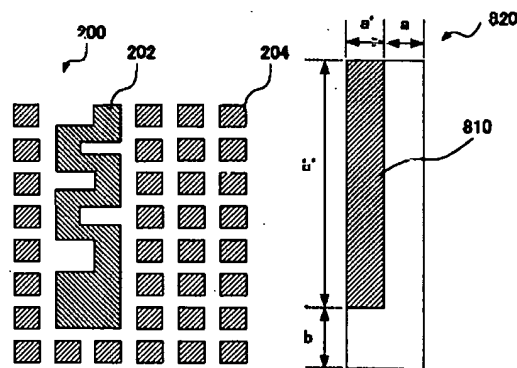
204 擬似パターン

【図1】

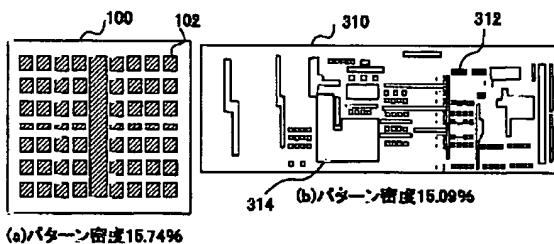


【図2】

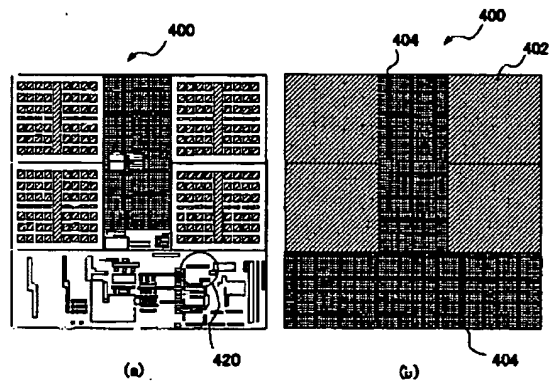
【図8】



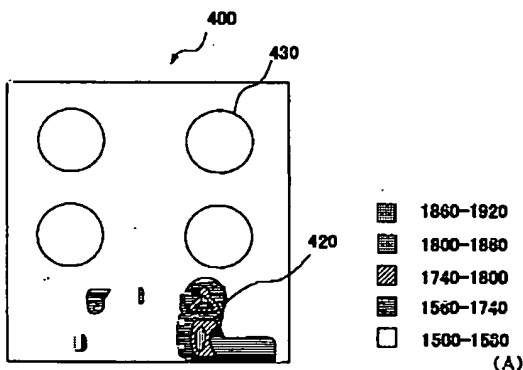
【図3】



【図4】

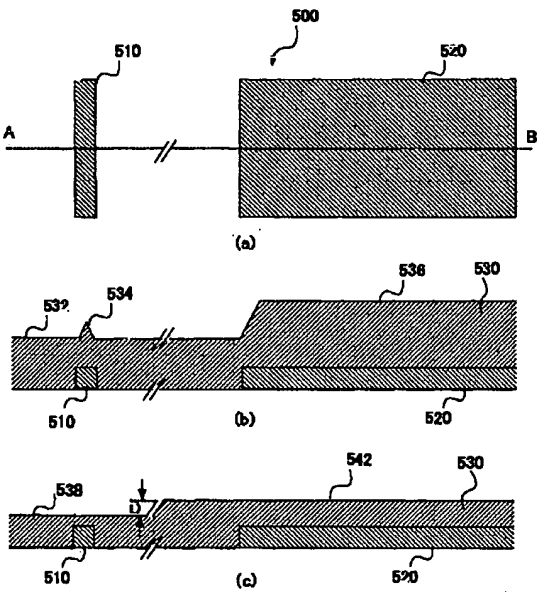


【図5】

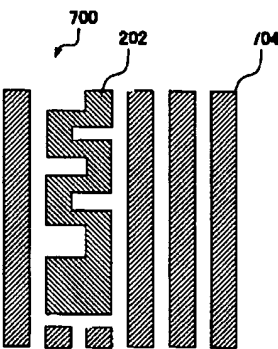


!(7) 003-140319 (P2003-140319A)

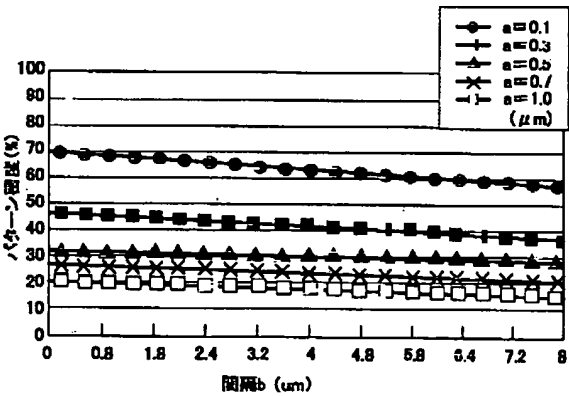
【図6】



【図7】



【図9】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKewed/SLANTED IMAGES**

☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.